

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

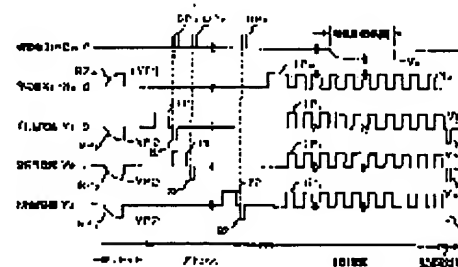
(11) Publication number: **1022211**(43) Date of publication of application: **21.08.1**(51) Int. Cl. **G09G 3/28**(21) Application number: **09035606**(22) Date of filing: **04.02.1997**(71) Applicant: **PIONEER ELECTRON CORP**(72) Inventor: **AMAMIYA KIMIO
NOZU MITSUTAKA****(54) DRIVING METHOD FOR PLASMA DISPLAY
PANEL****(57) Abstract:**

PROBLEM TO BE SOLVED: To prevent misdischarge for a maintaining discharge period and to enhance display characteristics by increasing potential differences between columnar electrodes and rowed electrode pairs respectively for a prescribed period during the maintaining discharge period.

SOLUTION: Relating to a rowed electrode drive pulse generation circuit, a positive voltage reset pulse RP_x of a long pulse rise time is impressed upon all the rowed electrodes X₁-X_n, and simultaneously, a negative voltage reset pulse RP_y is impressed upon the rowed electrodes Y₁-Y_n respectively in the same manner as in the case of the positive voltage. When a potential difference generated by a positive potential VP₁ and negative potential VP₂, impressed between respective rowed electrode pairs exceeds a discharge

starting voltage, discharge is stimulated between the rowed electrode couples of the plasma panel, and charged particles are generated in charge spaces of all pixel cells to form a wall charge a prescribed amt. uniformly in each dielectric layer of all pixel cells. Subsequently, positive voltage data pulses DP₁-DP_n corresponding to pixel data each row are successively impressed upon the electrodes D₁-D_m with respect to a pixel data generation circuit.

COPYRIGHT: (C)1998,JPO



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-222119

(43)公開日 平成10年(1998) 8月21日

(51)Int.Cl.⁶
G 0 9 G 3/28

識別記号

F I
G 0 9 G 3/28

H

審査請求 未請求 請求項の数 8 F D (全 11 頁)

(21)出願番号 特願平9-35606

(22)出願日 平成9年(1997) 2月4日

(71)出願人 000005016

パイオニア株式会社

東京都目黒区目黒1丁目4番1号

(72)発明者 雨宮 公男

山梨県中巨摩郡田富町西花輪2680番地 パイオニア株式会社甲府プラズマパネルセンター内

(72)発明者 野津 光孝

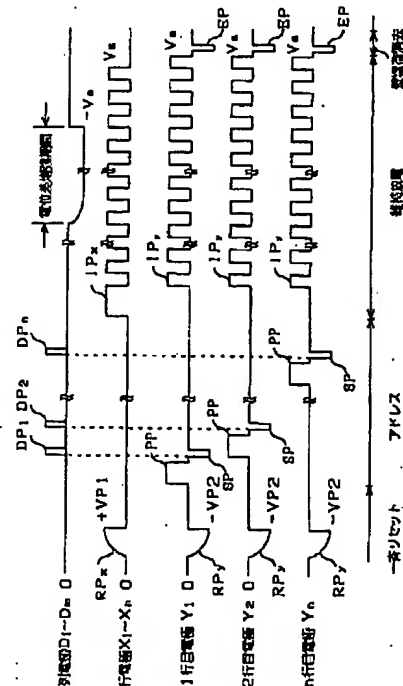
山梨県中巨摩郡田富町西花輪2680番地 パイオニア株式会社甲府プラズマパネルセンター内

(54)【発明の名称】 プラズマディスプレイパネルの駆動方法

(57)【要約】

【課題】 マトリクス表示方法の交流 (AC) 型のプラズマディスプレイパネル (PDP) の維持放電期間における誤放電を防止し、表示特性を向上させる駆動方法。

【解決手段】 誘電体層で被覆された複数の行電極対と、行電極対に交差して配列され各交差部にて画素を形成する複数の列電極とを有し、行電極対に走査パルスを印加するとともに列電極に画素データパルスを印加して画素データに応じて点灯及び消灯画素を選択するアドレス期間と、行電極対に放電維持パルスを印加して点灯及び消灯画素を維持する維持放電期間とを用いて表示を行うプラズマディスプレイパネルの駆動方法であって、維持放電期間において、列電極と行電極対の各々との間の電位差を所定期間増大させたことにより、放電空間内の壁電荷の電界の方向が列電極の方向に向かい行電極間の放電が起こりにくくなり誤放電が防止され、表示特性が向上する。



【特許請求の範囲】

【請求項1】 誘電体層で被覆された複数の行電極対と、前記行電極対に交差して配列され各交差点にて画素を形成する複数の列電極とを有し、前記行電極対に走査パルスを加するとともに前記列電極に画素データパルスを加して画素データに応じて点灯及び消灯画素を選択するアドレス期間と、前記行電極対に放電維持パルスを加して前記点灯及び消灯画素を維持する維持放電期間とを用いて表示を行うプラズマディスプレイパネルの駆動方法であって、前記維持放電期間において、前記列電極と前記行電極対の各々との間の電位差を所定期間増大させたことを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項2】 前記列電極の電位を所定期間前記放電維持パルスとは逆極性の所定電位にオフセットさせることにより、前記列電極と前記行電極対の各々との間の電位差を所定期間増大させたことを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項3】 前記列電極の電位は、徐々に変化して前記所定電位に達することを特徴とする請求項2記載のプラズマディスプレイパネルの駆動方法。

【請求項4】 前記維持放電期間において、前記行電極対の各々の電位を所定期間前記放電維持パルスと同極性の所定電位にオフセットさせることにより、前記列電極と前記行電極対の各々との間の電位差を所定期間増大させたことを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項5】 前記行電極対の各々の電位は、徐々に変化して前記所定電位に達することを特徴とする請求項4記載のプラズマディスプレイパネルの駆動方法。

【請求項6】 前記維持放電期間において、前記行電極対の一方の行電極にのみ前記放電維持パルスを加し、前記行電極対の各々を前記放電維持パルスと同極性の所定電位にオフセットさせるとともに前記列電極の電位を変化させることにより、前記列電極と前記行電極対の各々との間の電位差を所定期間増大させることを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項7】 前記所定期間は、前記維持放電期間の始めの第1期間と終りの第2の期間を除く期間であることを特徴とする請求項1乃至6記載のプラズマディスプレイパネルの駆動方法。

【請求項8】 前記行電極対は、表示面側の基板の内面に配置された透明電極とそれに積層された金属電極とで構成され、前記誘電体層で被覆されているとともに前記列電極は、前記表示面側の基板と放電空間を介して対向配置された背面側の基板の内面に配置され、蛍光体層で被覆されていることを特徴とする請求項1乃至7記載のプラズマディスプレイパネルの駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マトリクス表示方法の交流（AC）型のプラズマディスプレイパネル（PDP）の駆動方法に関する。

【0002】

【従来の技術】近年、表示装置の大型化に伴い、薄型の表示装置が要求され、各種の薄型の表示装置が提供されている。その1つにAC PDPが知られている。係るAC PDPは、列電極及び行電極と直交し一対にて1行（1走査ライン）を構成する行電極を備えており、これら列電極及び行電極対の各々は放電空間に対して誘電体層で覆われており、列電極及び行電極対の各交点に放電セル（画素）が形成されている。尚、行電極は、透明電極とそれに積層されたバス電極とから構成されている。

【0003】図11は、係るAC PDPの従来の各種駆動パルスの印加タイミングを示す図である。図11において、先ず、負極性のリセットパルス R_{Px} を全ての行電極 $X_1 \sim X_n$ に印加すると同時に、正極性のリセットパルス R_{Py} を全ての行電極 $Y_1 \sim Y_n$ の各々に印加する。係るリセットパルスの印加により、全ての放電セルに放電が生じ、荷電粒子が発生し、放電終了後各放電セルに壁電荷が蓄積形成される（一斉リセット期間）。次に、各行電極毎の画素データに対応した画素データパルス $DP_1 \sim DP_n$ を順次、列電極 $D_1 \sim D_m$ に印加する。この画素データパルス $DP_1 \sim DP_n$ の各々の印加タイミングに同期して走査パルス（選択消去パルス） S_P を行電極 $Y_1 \sim Y_n$ へ順次印加して行く。

【0004】この際、係る画素データパルス DP 及び走査パルス S_P が各々列電極及び行電極に同時に印加された放電セル（消灯画素、消灯セル）にのみ放電が生じ上記一斉リセット期間にて形成された壁電荷が消去される。一方、走査パルス S_P が印加されたものの画素データパルス DP が印加されない放電セル（点灯画素、点灯セル）では上記の如き放電は生じないので上記一斉リセット期間にて形成された壁電荷はそのまま残留する。このように各放電セルの壁電荷は、画素データに応じて選択的に消去され、点灯画素及び消灯画素が選択される（アドレス期間）。

【0005】次に、正極性の放電維持パルス IP_x を行電極 $X_1 \sim X_n$ の各々に印加するとともに放電維持パルス IP_x の印加タイミングと外れたタイミングにて正極性の IP_y を行電極 $Y_1 \sim Y_n$ の各々に印加する。このように放電維持パルス IP_x 、 IP_y が交互に行電極対に印加されるので、壁電荷が残留している放電セル（点灯画素、点灯セル）は放電発光を繰り返す一方壁電荷が消滅した放電セル（消灯画素、消灯セル）は放電発光しない（維持放電期間）。

【0006】次に、全ての行電極 $Y_1 \sim Y_n$ に一斉に消去パルス EP を加して全放電セル（点灯セル）の壁電荷を消去する（壁電荷消去期間）。以上のように、一斉

リセット期間、アドレス期間、維持放電期間、壁電荷消去期間を1つの表示サイクルとして、これを繰り返して行うことにより、画像表示が行われる。

【0007】

【発明が解決しようとする課題】ところで、上記の駆動方法では、消灯セルが隣接する点灯セルの影響を受けて維持放電期間中に放電を開始してしまう場合がある。このような隣接する放電セルの影響は、放電セルを区画するリブ（障壁）の欠陥や一对の基板の位置ずれ等により、更に大きくなり、PDPの生産歩留まりを悪化させる。また、放電セルや走査ラインピッチの縮小により、高精細化する場合、隣接する放電セル間の距離が小さくなるため、上記のような誤放電が生じやすくなる。本発明は、上記の問題を解決するためになされたものであり、維持放電期間における誤放電を防止し、表示特性を向上させることを目的とする。

【0008】

【課題を解決するための手段】請求項1記載の発明は、誘電体層で被覆された複数の行電極対と、行電極対に交差して配列され各交差部にて画素を形成する複数の列電極とを有し、行電極対に走査パルスを加するとともに列電極に画素データパルスを加して画素データに応じて点灯及び消灯画素を選択するアドレス期間と、行電極対に放電維持パルスを加して点灯及び消灯画素を維持する維持放電期間とを用いて表示を行うプラズマディスプレイパネルの駆動方法であって、維持放電期間において、列電極と行電極対の各々との間の電位差を所定期間増大させたことを特徴とする。

【0009】請求項2記載の発明は、請求項1記載のプラズマディスプレイパネルの駆動方法において、列電極の電位を所定期間放電維持パルスとは逆極性の所定電位にオフセットさせることにより、列電極と行電極対の各々との間の電位差を所定期間増大させたことを特徴とする。

【0010】請求項3記載の発明は、請求項2記載のプラズマディスプレイパネルの駆動方法において、列電極の電位は、徐々に変化して所定電位に達することを特徴とする。

【0011】請求項4記載の発明は、請求項1記載のプラズマディスプレイパネルの駆動方法において、維持放電期間において、行電極対の各々の電位を所定期間放電維持パルスと同極性の所定電位にオフセットさせることにより、列電極と行電極対の各々との間の電位差を所定期間増大させたことを特徴とする。

【0012】請求項5記載の発明は、請求項4記載のプラズマディスプレイパネルの駆動方法において、行電極対の各々の電位は、徐々に変化して所定電位に達することを特徴とする。

【0013】請求項6記載の発明は、請求項4記載のプラズマディスプレイパネルの駆動方法において、維持放

電期間において、行電極対の一方の行電極にのみ放電維持パルスを印加し、行電極対の各々を放電維持パルスと同極性の所定電位にオフセットさせるとともに列電極の電位を変化させることにより、列電極と行電極対の各々との間の電位差を所定期間増大させることを特徴とする。

【0014】請求項7記載の発明は、請求項1乃至6記載のプラズマディスプレイパネルの駆動方法において、所定期間は、維持放電期間の始めの第1期間と終りの第2の期間を除く期間であることを特徴とする。

【0015】請求項8記載の発明は、請求項1乃至7記載のプラズマディスプレイパネルの駆動方法において、行電極対は、表示面側の基板の内面に配置された透明電極とそれに積層された金属電極とで構成され、誘電体層で被覆されているとともに列電極は、表示面側の基板と放電空間を介して対向配置された背面側の基板の内面に配置され、蛍光体層で被覆されていることを特徴とする。

【0016】

【作用】本発明によれば、誘電体層で被覆された複数の行電極対と、行電極対に交差して配列され各交差部にて画素を形成する複数の列電極とを有し、行電極対に走査パルスを印加するとともに列電極に画素データパルスを印加して画素データに応じて点灯及び消灯画素を選択するアドレス期間と、行電極対に放電維持パルスを印加して点灯及び消灯画素を維持する維持放電期間とを用いて表示を行うプラズマディスプレイパネルの駆動方法であって、維持放電期間において、列電極と行電極対の各々との間の電位差を所定期間増大させたことにより、放電空間内の壁電荷の電界の方向が列電極の方向に向かい行電極間の放電が起こりにくくなり誤放電が防止され、表示特性が向上する。

【0017】

【発明の実施の形態】図1は、本発明の実施形態におけるプラズマディスプレイパネルの駆動方法で駆動される3電極構造の反射型ACPDP11の構造を示す図である。図1に示されるようにPDP11は、放電空間7を介して対向配置された一对のガラス基板1、2の表示面側のガラス基板1の内面に互いに平行に隣接配置された一对の行電極（維持電極）X、Yと、その行電極X、Yを覆う壁電荷形成用の誘電体層5と、その誘電体層5を覆うMgOからなる保護層6が夫々設けられている。尚、行電極X、Yは、夫々幅の広い帯状の透明導電膜からなる透明電極4とその導電性を補うために積層された幅の狭い帯状の金属膜からなるバス電極（金属電極）3とから構成されている。

【0018】一方、背面側のガラス基板2の内面上に行電極X、Yと交差する方向に設けられ、放電空間7を区画する障壁10と、その各障壁10間のガラス基板2上に行電極X、Yと交差する方向に配列された列電極（ア

ドレス電極) A及び各列電極、障壁10の側面を覆う所定の発光色の蛍光体層8が夫々設けられている。そして、放電空間7にはネオンに少量のキセノンを混合した放電ガスが封入され、列電極及び行電極対の各交点において放電セル(画素)が形成される。

【0019】図2は、本発明による駆動方法にてパネル駆動を行う駆動装置を備えたプラズマディスプレイ装置のブロック図である。係る図2において、同期分離回路12は供給された入力ビデオ信号中から水平及び垂直同期信号を抽出してこれらをタイミングパルス発生回路13に供給する。タイミングパルス発生回路13は、これら抽出された水平及び垂直同期信号に基づいた抽出同期信号タイミングパルスを発生してこれをA/D変換器14、メモリ制御回路16及び読出タイミング信号発生回路18の各々に供給する。A/D変換器14は、上記抽出同期信号タイミングパルスに同期して入力ビデオ信号を1画素毎に対応したデジタル画素データに変換し、これをフレームメモリ15に供給する。

【0020】メモリ制御回路16は、上記抽出同期信号タイミングパルスに同期した書込信号及び読出信号をフレームメモリ15に供給する。フレームメモリ15は、係る書込信号に応じて、A/D変換器14から供給された各画素データを順次取り込む。また、フレームメモリ15は、係る読出信号に応じて、このフレームメモリ15内に記憶されている画素データを順次読み出して次段の出力処理回路17へ供給する。読出タイミング信号発生回路18は、放電発光動作を制御するための各種タイミング信号を発生してこれらを行電極駆動パルス発生回路19及び出力処理回路17の各々に供給する。

【0021】出力処理回路17は、読出タイミング信号発生回路18からのタイミング信号に同期させて、上記フレームメモリ15から供給された画素データを画素データパルス発生回路20に供給する。画素データパルス発生回路20は、出力処理回路17から供給される各画素データに応じた画素データパルスDPを発生して上記PDP11の列電極D1～Dmに印加する。

【0022】次に、図1のPDP11を使用して行われる本発明によるプラズマディスプレイパネルの駆動方法について説明する。図3は、本発明の駆動方法の第一の実施形態にてパネル駆動を行う際にPDP11に印加される各駆動パルスの印加タイミングを示す図である。図3において、先ず、行電極駆動パルス発生回路19は、立ち上がり時間の長い(長時定数)パルス正電圧のリセットパルスRPxを全ての行電極X1～Xnに印加すると同時に、正電圧の場合と同様に負電圧のリセットパルスRPyを行電極Y1～Ynの各々に印加する。各行電極対間に印加された電位VP1と負電位VP2とにて生成される電位差が放電開始電圧を越えると、PDP11の全ての行電極対間に放電が励起されて、全画素セルPi、jの放電空間7内に電荷粒子が発生し、全画素セル

Pi、jの誘電体層5には一様に所定量の壁電荷が形成される(一斉リセット期間)。

【0023】次に、画素データパルス発生回路20は、各行毎との画素データに対応した正電圧の画素データパルスDP1～DPnを順次、列電極D1～Dmに印加する。この際、行電極駆動パルス発生回路19は、上記画素データパルスDP1～DPnの各印加タイミングに同期して、小なるパルス幅の走査パルスSPを行電極Y1～Ynへ順次印加する。ここで、行電極駆動パルス発生回路19は、係る走査パルスSPを各行電極Y1～Ynの各々に印加する直前に、図3にて示されるが如き正電圧のプライミングパルスPPを行電極Y1～Yn各々に印加する。係るプライミングパルスPPの印加により、上記一斉リセットにて得られて時間経過と共に減少してしまったプライミング粒子が、放電空間7内に再形成される。よって、放電空間7内に所望量のプライミング粒子が存在する内に、上記走査パルスSPの印加による画素データ書き込みが試されるのである。

【0024】例えば、画素データの内容が論理「0」である場合には、走査パルスSPと共に画素データパルスDPが同時に印加されるので、画素セル内部に形成されている壁電荷は消滅する。また、画素データの内容が論理「1」である場合には、走査パルスSPのみが印加されるので放電が生じず、その画素セル内部に形成されている壁電荷はそのまま保持される。つまり、係る走査パルスSPとは、画素セル内に形成されている壁電荷を画素データに応じて選択的に消去せしめるためのトリガとなる選択消去パルスとも言えるのである。一方、走査パルスSPが印加されたものの画素データパルスDPが印加されない放電セル(点灯画素、点灯セル)では上記の如き放電は生じないので上記一斉リセット期間にて形成された壁電荷はそのまま残留する。このように各放電セルの壁電荷は、画素データに応じて選択的に消去され、点灯画素及び消灯画素が選択される(アドレス期間)。

【0025】次に、行電極駆動パルス発生回路19は、正電圧の維持パルスIPxを行電極X1～Xnの夫々に印加する。次に、係る維持パルスIPxの印加タイミングとは、ずれたタイミングにて正電圧の維持パルスIPyを行電極Y1～Ynの夫々に印加する。係る維持パルスが連続して行電極Xi、Yiに交互に印加されている期間にわたり、上記壁電荷が残留したままとなっている画素セルのみが放電発光を維持する(維持放電期間)。尚、この維持放電行程において、最初に、即ち行電極X1～Xnの第1番目に印加される維持パルスIPxを2番目以降のパルス幅に比して長めに設定してあるが、この理由を以下に説明する。

【0026】放電空間で放電が生じると、放電空間内にプライミング粒子が発生するが時間が経過するとともに減少していく。プライミング粒子の数が減少するほどパルスの印加から最初の放電が生じるまでの時間(放電形

成遅れ時間)及び各画素セルの放電開始時間のバラツキ(放電統計遅れ時間)が増大する。すると、維持放電期間の最初に印加される放電維持パルスで放電が生じなくなり、それ以降印加される放電維持パルスによって放電しない可能性が高くなる。そこで、最初に印加される放電維持パルスのパルス幅をそれ以降印加される放電維持パルスより長くなる。即ち、放電形成遅れ時間、放電統計遅れ時間及び放電そのものに必要な時間の総和より長くすることにより、最初に印加される放電維持パルスで確実に放電を生じさせることが可能となる。

【0027】次に、画素データパルス発生回路20は、維持パルス I_{Px} 、 I_{Py} が数パルス印加された後、列電極D1～Dmの電位を0Vから徐々に負電圧の方向に変化させて一定の負電位(V_a)にし、所定期間経過後再び0Vに戻している。列電極D1～Dmの電位を徐々に変化させる速度は、維持パルスの数パルス分の時間を要して行われる。このように列電極D1～Dmの電位を変化させて列電極と行電極との間の電位差を増強させる期間(電位差増強期間)を設けることにより、隣接セルの誤放電が生じにくくなるが、この動作原理を図4を用いて説明する。対向する基板の一方の基板上に行電極対が形成され、他方の基板に列電極が形成されているような面放電型ACPDでは列電極の電位によって放電開始電圧(V_f)が著しい影響を受ける。図4はその一例を示している。図4は、縦軸に行電極間放電電圧を、横軸に列電極電圧を設け、列電極電圧に対する放電開始電圧(V_f)と最小放電維持電圧(V_{sm})の変化を示したグラフである。この測定に用いられたPDP11において、例えば列電極電圧が0Vの時、放電開始電圧は約200Vであり、最小放電維持電圧は約140Vであることを示している。

【0028】また、例えば列電極電圧を-50Vにした場合は、放電開始電圧(V_f)は約220Vとなり上記列電極電圧が0Vの時に比べて約20V変化するが、最小放電維持電圧(V_{sm})は一定となっている。この放電開始電圧(V_f)は列電極電圧に比例して増加するが、列電極電圧が約-140V以降は飽和して一定となる。この放電開始電圧(V_f)が大きくなることは、放電しにくいことであり、例えば列電極電圧が0Vの時、放電開始電圧(V_f)が約200Vであったものが、列電極電圧が-140Vになると放電開始電圧(V_f)が約245Vとなり、列電極電圧が0Vの時に比べて、約45Vも放電開始電圧(V_f)が上昇したことになり、放電がしにくくなることを示している。これは、列電極を所定の負電位(V_a)にすると、列電極と行電極との間の電位差が増大して、電界の方向が列電極の方に向いてしまうことに起因するものと考えられる。

【0029】尚、このような放電開始電圧(V_f)の増加は、列電極の電位を所定の負電位(V_a)に変化させた後の1回目の維持放電の時だけで2回目以降は放電開

始電圧(V_f)は元の値に戻ってしまう。また、最小放電維持電圧は変化しない。これは、列電極が負電位の状態で一旦放電すると、列電極上の誘電体層表面(又は蛍光体層表面)がプラスにチャージされ、列電極の負電位が打ち消されることに起因しているものと考えられる。

【0030】従って、維持放電期間の初期に列電極の電位を0Vにしておく、放電開始電圧(V_f)は通常の値を有するので、点灯させたい放電セル(点灯画素、点灯セル)は通常通り点灯を始め、点灯させたくない放電セル(消灯画素、消灯セル)は電界強度が弱い放電が起らない。その後列電極の電位を徐々に負電位にすると、点灯していない放電セルは放電開始電圧(V_f)が増加するために点灯しにくくなる。即ち、誤放電(誤点灯)しにくくなる。一方、点灯を始めていた放電セル(点灯させたい放電セル)は、列電極の電位を負電位に変化させている間の放電を続けているので、列電極の電位を打ち消すように列電極側が充電されていく。このため、放電開始電圧(V_f)が高くなり、点灯状態を継続することができる。尚、隔壁(リブ)の高さを低くし、列電極と行電極の間の距離を狭めたり、列電極の幅を広くすることにより、上記の誤放電防止効果は更に向上する。また、維持放電期間の最後に列電極の電位を0Vに戻した状態で維持パルスを数パルス印加することにより、列電極にチャージしている正電荷を中和している。この際、放電開始電圧(V_f)は変化しない。

【0031】図5は、本発明の駆動方法の第二の実施形態にてパネル駆動を行う際にPDP11に印加される各駆動パルスの印加タイミングを示す図である。本発明の第二の実施形態の駆動方法が第一の実施形態と異なる点は、第一の実施形態では、電位差増強期間において列電極の電位を徐々に変化させて一定の負電位にしているが、第二の実施形態の駆動方法では列電極の電位を階段状(ステップ状)に変化させて一定の負電位にしたことにある。これにより回路構成を簡略化できる。

【0032】図6は、本発明の駆動方法の第三の実施形態にてパネル駆動を行う際にPDP11に印加される各駆動パルスの印加タイミングを示す図である。本発明の第三の実施形態の駆動方法が第一及び第二の実施形態と異なる点は、電位差増強期間において、列電極の電位を所定の負電位にする代わりに、列電極の電位は0Vにし、行電極X1～Xn、Y1～Ynの電位(基準電位)を徐々にオフセットさせ、所定のオフセット電位にすることにより、列電極と行電極間の電位差を増大させたことにある。

【0033】また、図7は、本発明の駆動方法の第四の実施形態にてパネル駆動を行う際にPDP11に印加される各駆動パルスの印加タイミングを示す図である。本発明の第四の実施形態の駆動方法が第三の実施形態と異なる点は、電位差増強期間において、行電極X1～Xn、Y1～Ynの基準電位を徐々に変化させる代りに、

階段状に変化させたことにある。

【0034】図8は、本発明の駆動方法の第五の実施形態にてパネル駆動を行う際にPDP11に印加される各駆動パルスの印加タイミングを示す図である。本発明の第五の実施形態の駆動方法では、維持パルスを片方の行電極X1～Xnにのみ印加しており、行電極X1～Xn、Y1～Ynの基準電位を所定の正電位にオフセットさせると共に、列電極には、図5の維持放電期間における電極間電位と相対的に同じになるようにアドレスパルスを印加している。

【0035】図9は、本発明の駆動方法の第六の実施形態にてパネル駆動を行う際にPDP11に印加される各駆動パルスの印加タイミングを示す図である。本発明の第六の実施形態の駆動方法では、維持パルスを片方の行電極X1～Xnにのみ印加しており、行電極X1～Xn、Y1～Yn、列電極の基準電位を所定の正電位にオフセットさせると共に、電位差増強期間において列電極の電位を所定の正電位から0Vに変化させている。

【0036】図10は、本発明の駆動方法の第七の実施形態にてパネル駆動を行う際にPDP11に印加される各駆動パルスの印加タイミングを示す図である。本発明の第七の実施形態の駆動方法が図5に示した第二の実施形態と異なる点は、維持放電期間に移行してから列電極D1～Dmの電位をフローティング状態にし、次いで電位差増強期間で負電位(Va)にした後、再び0V電位に戻すようにした点である。上記した第二乃至第七の実施形態の駆動方法においても、第一の実施形態の場合と同様に維持放電期間内の所定期間(電位差増強期間)、列電極と行電極との間の電位差が増加することになり、結果として維持放電期間の途中から隣接セルが誤放電を開始するのを防止することができる。

【0037】

【発明の効果】上述したように本発明は、プラズマディスプレイパネルの動作期間の中で維持放電期間において、一旦列電極側を負電位にするか、或いは列電極と行電極との電位差を一時的に大きくすることにより、放電空間内の壁電荷の電界の方向が列電極の方向に向かい行電極間の放電が起こりにくくなる。従って、本発明によるプラズマディスプレイパネルの駆動方法を用いることによって、プラズマディスプレイパネルの内部で生じる誤放電が防止され、表示特性が向上する。

【図面の簡単な説明】

【図1】本発明の実施形態におけるプラズマディスプレイパネルの駆動方法で駆動される3電極構造の反射型ACPDの構造を示す図。

【図2】本発明による駆動方法にてパネル駆動を行う駆動装置を備えたプラズマディスプレイ装置のブロック図。

【図3】本発明の駆動方法の第一の実施形態にてパネル駆動を行う際にPDPに印加される各駆動パルスの印加タイミングを示す図。

【図4】本発明の駆動方法のPDPに印加される列電極電圧に対する放電開始電圧及び最小放電維持電圧との関係を示す図。

【図5】本発明の駆動方法の第二の実施形態にてパネル駆動を行う際にPDPに印加される各駆動パルスの印加タイミングを示す図。

【図6】本発明の駆動方法の第三の実施形態にてパネル駆動を行う際にPDPに印加される各駆動パルスの印加タイミングを示す図。

【図7】本発明の駆動方法の第四の実施形態にてパネル駆動を行う際にPDPに印加される各駆動パルスの印加タイミングを示す図。

【図8】本発明の駆動方法の第五の実施形態にてパネル駆動を行う際にPDPに印加される各駆動パルスの印加タイミングを示す図。

【図9】本発明の駆動方法の第六の実施形態にてパネル駆動を行う際にPDPに印加される各駆動パルスの印加タイミングを示す図。

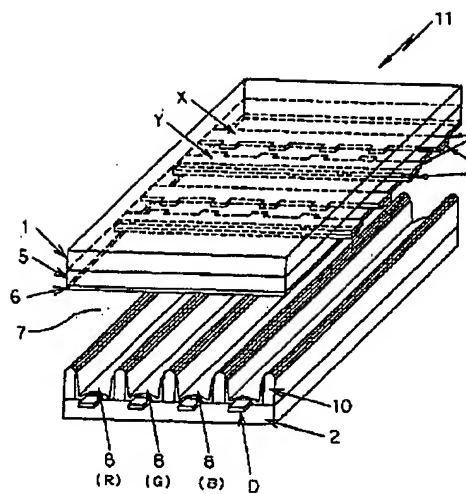
【図10】本発明の駆動方法の第七の実施形態にてパネル駆動を行う際にPDPに印加される各駆動パルスの印加タイミングを示す図。

【図11】従来のPDPの各種駆動パルスの印加タイミングを示す図。

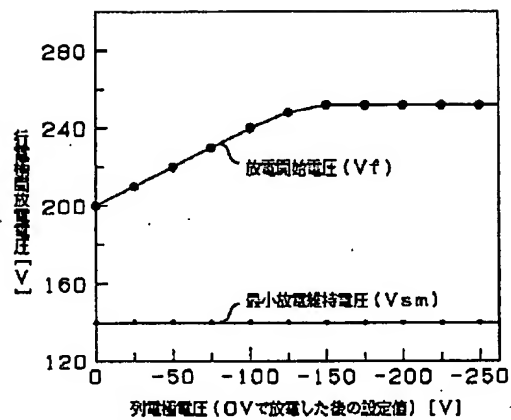
【符号の説明】

- 1、2・・・ガラス基板
- 3・・・バス電極
- 4・・・透明電極
- 5・・・誘電体層
- 6・・・保護層
- 7・・・放電空間
- 8・・・蛍光体層
- 10・・・障壁
- 11・・・PDP
- 12・・・同期分離回路
- 13・・・タイミングパルス発生回路
- 14・・・A/D変換器
- 15・・・フレームメモリ
- 16・・・メモリ制御回路
- 17・・・出力処理回路
- 18・・・読出タイミング信号発生回路
- 19・・・行電極駆動パルス発生回路
- 20・・・画素データパルス発生回路
- D・・・列電極
- X、Y・・・行電極

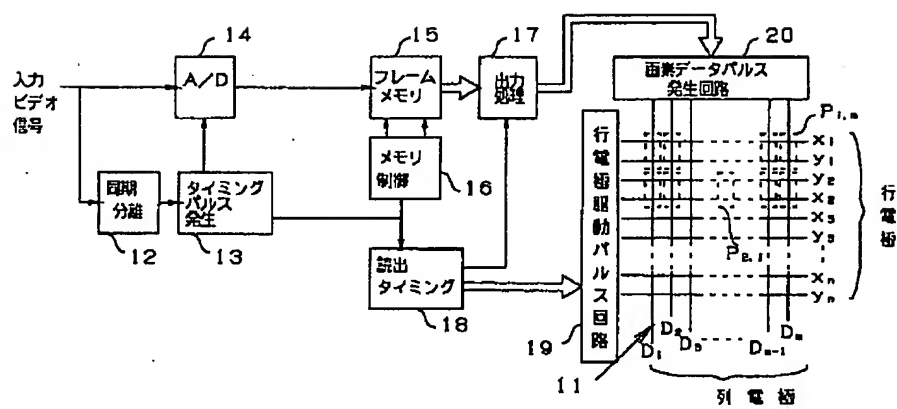
【図1】



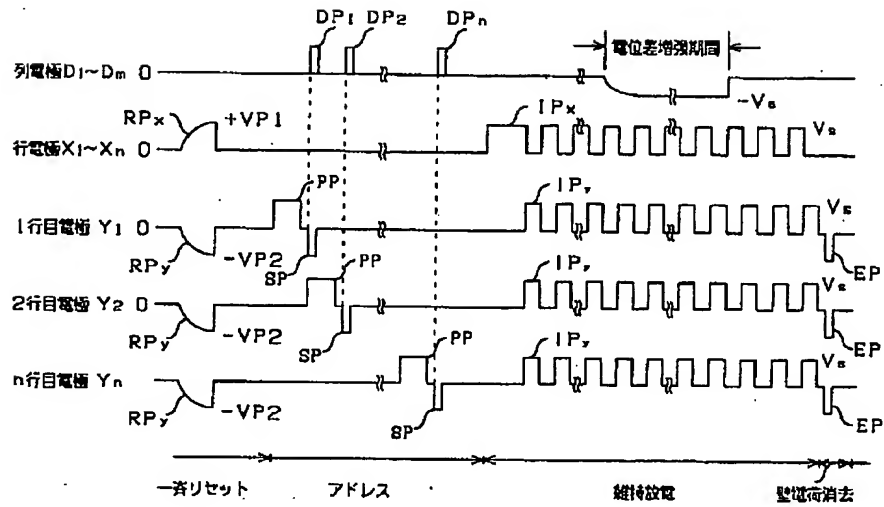
【図4】



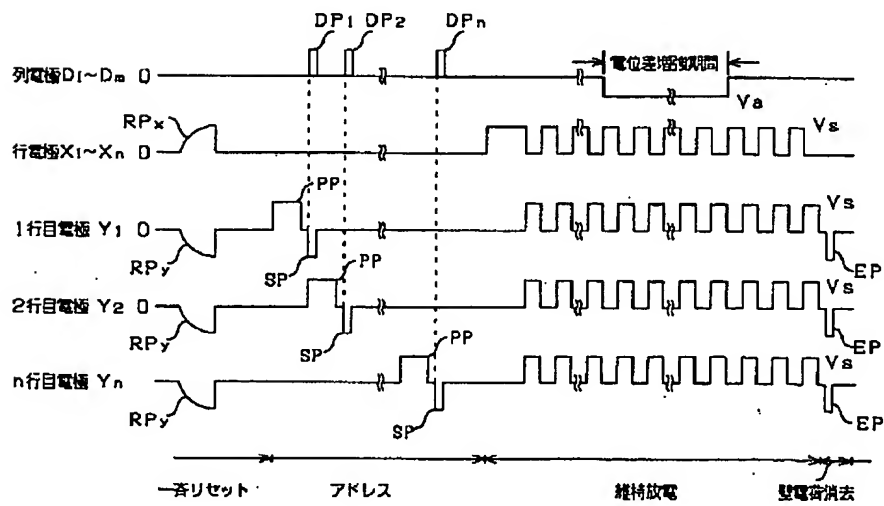
【図2】



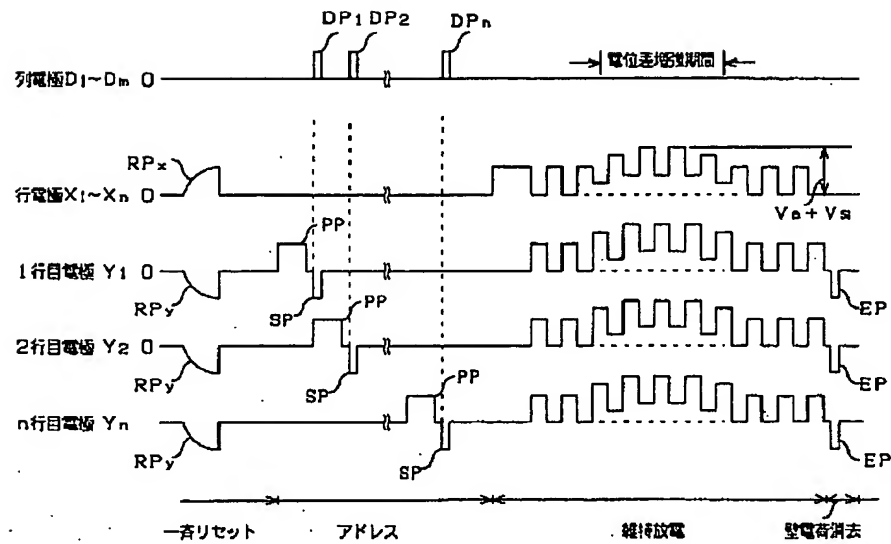
【図3】



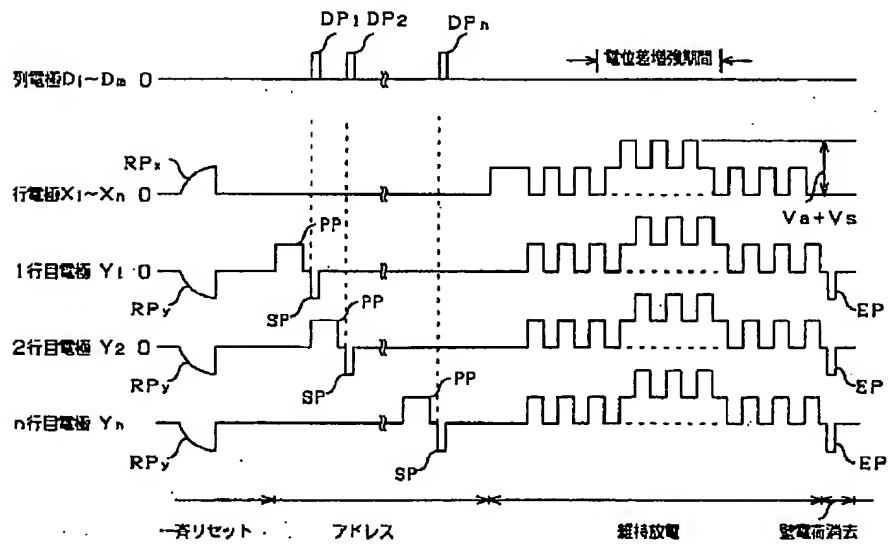
【図5】



【図6】



【図7】



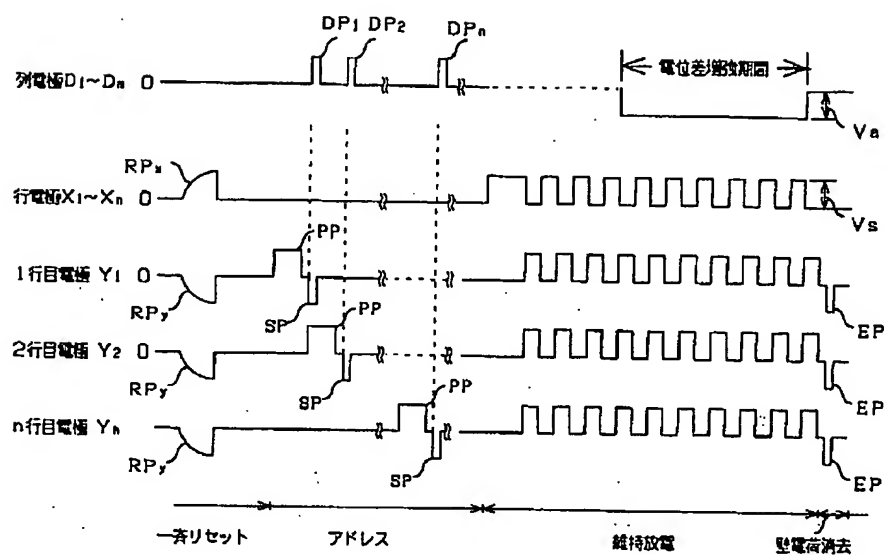
Timing diagram for a dynamic random access memory (DRAM) array. The diagram shows the relationship between data bus signals ($D_1 \sim D_m$), address signals ($X_1 \sim X_n$), and row/strobe signals ($Y_1 \sim Y_n$) over time. Key phases include: 1. Reset (一斉リセット), 2. Address (アドレス), 3. Hold (維持), and 4. Discharge (消去). The diagram illustrates how data is written to and read from memory cells using a combination of word lines (Y) and bit lines (X).

Timing diagram showing the relationship between address signals ($D_1 \sim D_n$), data signals ($X_1 \sim X_n$), and control signals ($Y_1 \sim Y_n$) over time. The diagram is divided into four phases: Reset, Address, Data Hold, and Data Release.

- Reset:** Address signals ($D_1 \sim D_n$) are active. Data signals ($X_1 \sim X_n$) are active. Control signals ($Y_1 \sim Y_n$) are active.
- Address:** Address signals ($D_1 \sim D_n$) are active. Data signals ($X_1 \sim X_n$) are active. Control signals ($Y_1 \sim Y_n$) are active.
- Data Hold:** Address signals ($D_1 \sim D_n$) are inactive. Data signals ($X_1 \sim X_n$) are active. Control signals ($Y_1 \sim Y_n$) are active.
- Data Release:** Address signals ($D_1 \sim D_n$) are inactive. Data signals ($X_1 \sim X_n$) are inactive. Control signals ($Y_1 \sim Y_n$) are active.

The diagram also shows the relationship between the address signals ($D_1 \sim D_n$) and the data signals ($X_1 \sim X_n$). The address signals are active during the Address phase, and the data signals are active during the Data Hold phase.

【図10】



【図11】

